

First Hit

L9: Entry 6 of 36

File: JPAB

Oct 19, 2001

PUB-NO: JP02001290757A
DOCUMENT-IDENTIFIER: JP 2001290757 A
TITLE: CIRCUIT FOR DATA PROCESSING

PUBN-DATE: October 19, 2001

INVENTOR-INFORMATION:

NAME

COUNTRY

MIYAMOTO, YOSHIHISA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MURATA MACH LTD

APPL-NO: JP2000103383

APPL-DATE: April 5, 2000

INT-CL (IPC): G06 F 13/28; G06 F 13/12; G06 F 13/38

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent an error by transferring data without omitting the data in performing DMA transfer.

SOLUTION: This data processing circuit 30 is provided with a FIFO memory 31 having 4-byte storage capacity. A memory controller 32 changes switches SW1 to SW6 to a contact RX (receiving) side and performs DMA transfer of a plurality of bytes of image data stored in the memory 31 from a fax modem 10 to an SDRAM 9 subjected to transfer control by a DMAC 20 in a CPU 1, and meanwhile changes the switches SW1 to SW6 to a contact TX (transmitting) side and controls image data subjected to DMA transfer from the SDRAM 9 so as to be transferred to the modem 10 by one byte at a time.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-290757

(P2001-290757A)

(43)公開日 平成13年10月19日(2001.10.19)

(51)IntCl ⁷	識別記号	F I	テ-リ-ト* (参考)
G 0 6 F 13/28	3 1 0	G 0 6 F 13/28	3 1 0 D 5 B 0 1 4
13/12	3 4 0	13/12	3 4 0 B 5 B 0 6 1
13/38	3 1 0	13/38	3 1 0 H 5 B 0 7 7

審査請求 未請求 請求項の数3 O L (全 11 頁)

(21)出願番号 特願2000-103383(P2000-103383)

(22)出願日 平成12年4月5日(2000.4.5)

(71)出願人 000006297

村田機械株式会社

京都府京都市南区吉祥院南落合町3番地

(72)発明者 宮本 敬久

京都府京都市伏見区竹田向代町136番地

村田機械株式会社本社工場内

(74)代理人 100062144

弁理士 青山 葆 (外2名)

Fターム(参考) 5B014 EA03 FA16 GC04 GC05 GC14
GC23 GD24 GD45

5B061 BA03 DD09 DD11 FF02 QQ01

SS01

5B077 AA04 AA15 AA23 BA02 BA07

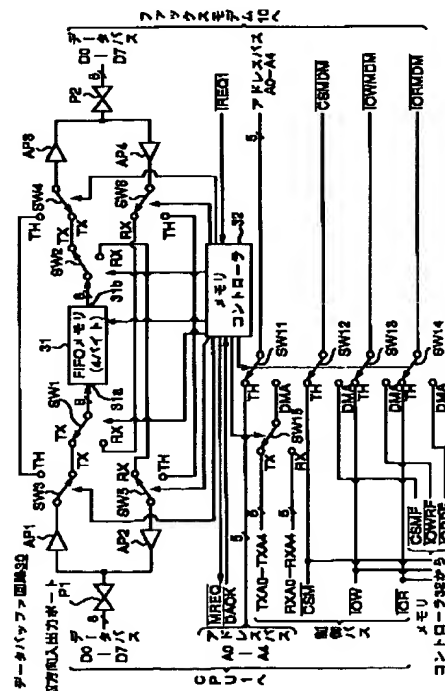
BB07 DD01 GC36

(54)【発明の名称】 データ処理回路

(57)【要約】

【課題】 DMA転送時においてデータを欠落させることなく転送してエラーを防止する。

【解決手段】 データ処理回路30は4バイトの記憶容量を有するFIFOメモリ31を備える。メモリコントローラ32は、スイッチSW1乃至SW6を接点RX(受信)側に切り換えて、ファックスモデム10からFIFOメモリ31に格納された複数バイトの画像データを、CPU1内のDMAC20によって転送制御されるSDRAM9にDMA転送する一方、スイッチSW1乃至SW6を接点TX(送信)側に切り換えて、SDRAM9からDMA転送された画像データを、1バイト毎にファックスモデム10に転送するように制御する。



Best Available Copy

【特許請求の範囲】

【請求項1】 入出力回路とホスト制御回路のデータメモリとの間に設けられ、複数の単位のデータを格納するバッファメモリと、入出力回路からバッファメモリに格納された複数の単位のデータをデータメモリにDMA転送する一方、データメモリからDMA転送されたデータを、単位毎に入出力回路に転送するように制御する制御手段とを備えたことを特徴とするデータ処理回路。

【請求項2】 請求項1記載のデータ処理回路において、入出力回路からのデータ転送要求又は入出力回路へのデータ転送要求の時間間隔に、バッファメモリに格納される単位数を乗じた時間が、DMA転送に要する時間より長く設定されたことを特徴とするデータ処理回路。

【請求項3】 請求項1又は2記載のデータ処理回路において、上記バッファメモリはFIFO (first in first out) メモリを含み、上記制御手段は、入出力回路からのデータ転送要求信号に基づき、上記バッファメモリから上記単位ずつデータを読み出して出力するとともに、ホスト制御回路に対してDMA転送を要求することを特徴とするデータ処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばファクシミリ装置等の通信端末装置のファックスモデムなどの入出力回路と、例えばCPUなどのホスト制御回路のデータメモリとの間に設けられ、これらの間でデータをダイレクト・メモリ・アクセス (DMA) 転送するためのデータ処理回路に関する。

【0002】

【従来の技術】例えば、従来例のファクシミリ装置において、ファックスモデムなどの入出力回路と、CPUなどのホスト制御回路のデータメモリとの間で画像データを高速で転送するために、DMA転送が用いられている。ここで、入出力回路とデータメモリとの間でDMA転送する場合、入出力回路の転送要求が、DMA転送に要する時間よりも短い間隔で発生することがある。例えば、伝送速度が14.4 kbpsであるモデムで、モデム自体にバッファメモリを持たない場合には、モデムからの転送要求は555マイクロ秒の時間間隔で発生する。これに対して、モデムからデータメモリへ、もしくはデータメモリからモデムへのDMA転送では、データメモリにおけるメモリバンクの切り換え等のために、1ミリ秒の時間を必要とする。

【0003】

【発明が解決しようとする課題】従って、従来例のDMA転送では、モデムからのデータ、又はモデムへのデータが取りこぼされ、通信エラーや復号エラーが発生するという問題点があった。

【0004】本発明の目的は以上の問題点を解決し、DMA転送時においてデータを欠落させることなく転送し

てエラーを防止することができるデータ処理回路を提供することにある。

【0005】

【課題を解決するための手段】本発明に係る請求項1記載のデータ処理回路は、入出力回路とホスト制御回路のデータメモリとの間に設けられ、複数の単位のデータを格納するバッファメモリと、入出力回路からバッファメモリに格納された複数の単位のデータをデータメモリにDMA転送する一方、データメモリからDMA転送されたデータを、単位毎に入出力回路に転送するように制御する制御手段とを備えたことを特徴とする。

【0006】また、請求項2記載のデータ処理回路は、請求項1記載のデータ処理回路において、入出力回路からのデータ転送要求又は入出力回路へのデータ転送要求の時間間隔に、バッファメモリに格納される単位数を乗じた時間が、DMA転送に要する時間より長く設定されたことを特徴とする。

【0007】さらに、請求項3記載のデータ処理回路は、請求項1又は2記載のデータ処理回路において、上記バッファメモリはFIFO (first in first out) メモリを含み、上記制御手段は、入出力回路からのデータ転送要求信号に基づき、上記バッファメモリから上記単位ずつデータを読み出して出力するとともに、ホスト制御回路に対してDMA転送を要求することを特徴とする。

【0008】

【発明の実施の形態】以下、図面を参照して本発明に係る実施形態について説明する。

【0009】図1は、本発明に係る一実施形態であるファクシミリ装置100の構成を示すブロック図であり、図2は、図1のデータバッファ回路30の内部構成を示す回路図である。この実施形態に係るファクシミリ装置100は、入出力回路であるファックスモデム10と、ホスト制御回路のデータメモリである画像メモリのSDRAM9との間に、図2のデータバッファ回路30を設けたことを特徴としている。

【0010】まず、図1のファクシミリ装置100の構成及び動作について説明する。図1において、ファクシミリ装置100は、従来のG3方式等のファクシミリ通信機能を備えている。CPU1は、画像メモリであるSDRAM9の画像データのDMA転送を制御するDMAコントローラ (以下、DMACという。) 20を内蔵し、バス13を介して以下のハードウェア各部と接続されていてそれらを制御するほか、後述する種々のソフトウェアの機能を実行する。スキャナ2は、CCD等を利用した画像読取部で原稿を読み取り、白黒2値に変換したビットマップの画像データをSDRAM8に出力して格納する。プリンタ3は電子写真方式等の画像記録部であり、他のファクシミリ装置からファクシミリ通信により受信した画像データをハードコピーとして記録紙にプ

リントアウトして記録する。表示部4は、液晶表示装置(LCD)又はCRTディスプレイ等の表示装置であり、当該ファクシミリ装置100の動作状態を表示したり、送信すべき原稿のイメージデータ、及び受信したイメージデータの表示を行う。

【0011】操作部5は、当該ファクシミリ装置100を操作するために必要な文字キー、ダイヤル用テンキー、短縮ダイヤルキー、ワンタッチダイヤルキー、及び各種のファンクションキー等を備える。なお、上述の表示部4をタッチパネル方式とすることにより、この操作部5の各種キーのうちの一部又は全部を代用するように構成してもよい。

【0012】ROM6は、当該ファクシミリ装置100の動作に必要であってCPU1によって実行される種々のソフトウェアのプログラムを予め格納する。RAM7は、SRAM又はフラッシュメモリ等で構成され、CPU1のワーキングエリアとして使用されてプログラムの実行時に発生する一時的なデータを記憶する。なお、RAM7としてフラッシュメモリを使用した場合には、停電、装置の移動等のために電源が遮断された場合にもそのデータの内容が失われない。SDRAM8はページメモリであり、スキャナ2で読み取ったビットマップの画像データを格納するとともに、受信され復号化された後のビットマップの画像データを格納する。また、SDRAM9は符号化された画像データを格納する画像メモリであり、その動作はCPU1内のDMAC20によって制御される。ここで、画像データの送信時は、送信すべき符号化された画像データがSDRAM9からデータバッファ回路30を介してファックスモデム10にDMA転送されて相手方のファクシミリ装置に対して送信される一方、画像データの受信時は、受信された符号化された画像データがファックスモデム10からデータバッファ回路30を介してSDRAM9にDMA転送される。

【0013】ファックスモデム10は、公衆電話回線Lに接続され、通常のファクシミリ通信用のファックスモデムの機能を有するモデムであり、FSK信号として受信される発信電話番号情報のデータを復調してCPU1に出力する。NCU(ネットワーク制御回路: Network Control Unit)11はアナログの公衆電話回線Lの直流ループなどの閉結及び開放の動作を行いつつ自動ダイヤル機能を有するハードウェア回路であり、必要に応じてファックスモデム10を公衆電話回線Lに接続する。ここで、NCU11は、発信電話番号通知サービスにおけるID受信端未起動信号、通常の電話呼出信号の検出を行うとともに、必要に応じて発信電話番号通知サービスにおける1次応答信号及び2次応答信号を発信することができる。なお、NCU11を所定のターミナルアダプタ及びDSU(加入者線終端装置: Digital Service Unit)を介して、ベースバンド伝送方式のデジタル回線(例えば、ISDN回線)に接続するようにしてもよ

い。

【0014】以上のように構成された本実施形態のファクシミリ装置100は、通常のG3方式等のファクシミリ通信機能を有している。ファクシミリ通信機能において、スキャナ2により読み取られたビットマップの画像データは一旦SDRAM8に格納された後、ファクシミリ通信の規格で定められているMH、MR、MMR等の符号化方式に従ってソフトウェアにより符号化されてSDRAM9に格納され、次いで、当該画像データがSDRAM9からデータバッファ回路30を介してファックスモデム10にDMA転送されて相手方のファクシミリ装置に対して送信される。一方、逆に相手先のファクシミリ装置から受信した符号化データは、ファックスモデム10からデータバッファ回路30を介してSDRAM9にDMA転送された後、ソフトウェアによりビットマップの画像データに復号化されて一旦SDRAM8に格納され、次いで、画像記録部3からハードコピーとして記録紙にプリントされて出力される。

【0015】次いで、図2のデータバッファ回路30の構成及び動作について説明する。図2において、データバッファ回路30は、(a)4バイトのデータを格納するバッファメモリである先入れ先出しメモリ(以下、FIFO(first in first out)メモリという。)31と、(b)このFIFOメモリ31の動作を制御するメモリコントローラ32と、(c)TX(送信)、RX(受信)、TH(直接転送の通過)のうちのいずれか2つの接点を選択的に切り換えるスイッチSW1乃至SW6及びSW15と、(d)画像データの直接転送(NOR)とDMA転送(DMA)を選択的に切り換えるスイッチSW11乃至SW14と、(e)バッファアンプAP1乃至AP4と、(f)双方向入出力ポートP1、P2と、を備えて構成される。

【0016】このデータ処理回路30は4バイトの記憶容量を有するFIFOメモリ31を備え、メモリコントローラ32は、スイッチSW1乃至SW6を接点RX(受信)側に切り換えて、ファックスモデム10からFIFOメモリ31に格納された複数バイトの画像データを、CPU1内のDMAC20によって転送制御されるSDRAM9にDMA転送する一方、スイッチSW1乃至SW6を接点TX(送信)側に切り換えて、SDRAM9からDMA転送された画像データを、1バイト毎にファックスモデム10に転送するように制御することの特徴としている。ここで、ファックスモデム10からの画像データの転送要求又はファックスモデム10への画像データの転送要求の時間間隔(例えば、555マイクロ秒)に、FIFOメモリ31に格納されるバイト数(4バイト)を乗じた時間は、好ましくは、DMA転送に要する時間(例えば、1ミリ秒)より長く設定される。また、メモリコントローラ32は、ファックスモデム10からのデータ転送要求信号/IREQ1に基づ

き、FIFOメモリ31から1バイトずつ画像データを読み出して出力するとともに、CPU1内のDMAC20に対してDMA転送を要求する。

【0017】なお、図面に示している信号の上線は、ローレベルでアクティブとなることを示すが、この明細書で記述できないために、上線に代えて、“/”を用いて、例えば/IREQ1、/DACKと記載する。

【0018】また、このデータ処理回路30においては、メモリコントローラ32は、スイッチSW1乃至SW6を接点TH（直接転送の通過）側に切り換えて、ファックスモデム10と、SDRAM9とをFIFOメモリ31を介さずに直接に接続してファックスモデム10とSDRAM9との間でデータを直接転送するように制御することを特徴としている。また、メモリコントローラ32は、スイッチSW11乃至SW14を接点DMA（DMA転送）側と接点TH（直接転送の通過）側とに選択的に切り換えて、ファックスモデム10とCPU1との間の制御信号を伝送するための信号線（ファックスモデム10におけるアドレスバスA0-A4、/CSMDM、/IOWMDM、/IORMDM等）を、DMA転送と直接転送とで選択的に切り換えることを特徴としている。

【0019】図2において、CPU1のデータバスD0-D7（8ビット）は、双方向入出力ポートP1と、バッファアンプAP1と、スイッチSW3の接点TX側と、スイッチSW1の接点TX側とを介してFIFOメモリ31の入力端子31aに接続される。また、FIFOメモリ31の出力端子31bは、スイッチSW2の接点TX側と、スイッチSW4の接点TX側と、バッファアンプAP3と、双方向入出力端子P2とを介してファックスモデム10のデータバスD0-D7に接続される。一方、ファックスモデム10のデータバスD0-D7（8ビット）は、双方向入出力ポートP2と、バッファアンプAP4と、スイッチSW6の接点RX側と、スイッチSW1の接点RX側とを介してFIFOメモリ31の入力端子に接続される。また、FIFOメモリ31の出力端子31bは、スイッチSW2の接点RX側と、スイッチSW5の接点RX側と、バッファアンプAP2と、双方向入出力端子P1とを介してCPU1のデータバスD0-D7に接続される。さらに、スイッチSW3の接点TH側はスイッチSW4の接点TH側に接続され、スイッチSW6の接点TH側はスイッチSW5の接点TH側に接続される。

【0020】また、CPU1のアドレスバスA0-A4（5ビット）は、スイッチSW11の接点TH側を介してファックスモデム10のアドレスバスA0-A4に接続され、DMAC20の送信アドレスバスTXA0-TXA4（5ビット）は、スイッチSW15の接点TX側及びスイッチSW11の接点DMA側を介してファックスモデム10のアドレスバスA0-A4に接続され、D

MAC20の受信アドレスバスRXA0-RXA4（5ビット）は、スイッチSW15の接点RX側及びスイッチSW11の接点DMA側を介してファックスモデム10のアドレスバスA0-A4に接続される。

【0021】さらに、CPU1の制御バスのチップセレクト信号/CSMの信号線はメモリコントローラ32に接続されるとともに、スイッチSW12の接点TH側を介してファックスモデム10のチップセレクト信号/CSMDMの信号線に接続される。また、CPU1の制御バスの入出力書込制御信号/IOWの信号線はメモリコントローラ32に接続されるとともに、スイッチSW13の接点TH側を介してファックスモデム10の入出力書込制御信号/IOWMDMの信号線に接続される。さらに、CPU1の制御バスの入出力読出制御信号/IORの信号線はメモリコントローラ32に接続されるとともに、スイッチSW14の接点TH側を介してファックスモデム10の入出力読出制御信号/IORMDMの信号線に接続される。

【0022】また、DMA転送時において用いるメモリコントローラ32のチップセレクト信号/CSMFの信号線は、スイッチSW12の接点DMA側を介してファックスモデム10のチップセレクト信号/CSMDMの信号線に接続され、DMA転送時において用いるメモリコントローラ32の入出力書込制御信号/IOWRFの信号線は、スイッチSW13の接点DMA側を介してファックスモデム10の入出力書込制御信号/IOWMDMの信号線に接続され、DMA転送時において用いるメモリコントローラ32の入出力読出制御信号/IORRFの信号線は、スイッチSW14の接点DMA側を介してファックスモデム10の入出力読出制御信号/IORMDMの信号線に接続される。

【0023】メモリコントローラ32は、ファックスモデム10からのデータ転送要求信号/IREQ1と、CPU1内のDMAC20からのデータ受信肯定応答信号/DACK、チップセレクト信号/CSM、入出力書込制御信号/IOW及び入出力読出制御信号/IORにตอบสนองして、詳細後述するように、DMAC20に対してデータ転送要求信号/MREQを発生し、スイッチSW1乃至SW6及びSW11乃至SW15の切り換え動作を制御するとともに、FIFOメモリ31へのデータの書き込み及びFIFOメモリ31からのデータの読み出し動作を制御する。

【0024】以上のように構成されたデータ処理回路30において、ファックスモデム10とSDRAM9との間の直接転送時においては、メモリコントローラ32は、スイッチSW1乃至SW6及びSW11乃至SW14をそれぞれ接点TH側に切り換える。このとき、SDRAM9からのデータは、バッファアンプAP1及びAP3を介してファックスモデム10のデータバスに出力される一方、ファックスモデム10からのデータはパッ

ファアンブAP4及びAP2を介してSDRAM9に出力される。また、CPU1からのアドレスデータは、スイッチSW11の接点TH側を介してファックスモデム10のアドレスバスに出力される。さらに、CPU1からのチップセレクト信号/CSMは、スイッチSW12の接点TH側を介してファックスモデム10のチップセレクト信号/CSMDMの信号線に出力され、CPU1からの入出力書込制御信号/IOWは、スイッチSW13の接点TH側を介してファックスモデム10の入出力書込制御信号/IOWMDMの信号線に出力され、CPU1からの入出力読出制御信号/IORは、スイッチSW14の接点TH側を介してファックスモデム10の入出力読出制御信号/IORMDMの信号線に出力される。

【0025】この場合、通常のステータスアクセス時の直接転送の経路も形成できるので、DMA転送以外の直接転送を可能にしている。ここで、ステータスアクセスとは、例えば、ファックスモデム10のステータスをCPU1側で読み出し、もしくは、CPU1からファックスモデム10に対して、変調方式、通信速度、ダイヤル種別の設定などのモデムの設定データ（例えば、ATコマンド）をこの直接転送で伝送することができる。

【0026】また、DMA転送の送信時においては、メモリコントローラ32は、スイッチSW11乃至SW14を接点DMA側に切り換えるとともに、スイッチSW1、SW2、SW3、SW4及びSW15をそれぞれ接点TX側に切り換える。このとき、SDRAM9からのデータは、バッファアンブAP1と、スイッチSW3の接点TX側と、スイッチSW1の接点TX側とを介してFIFOメモリ31に出力されて格納され、FIFOメモリ31から読み出されるデータは、スイッチSW2の接点TX側と、スイッチSW4の接点TX側と、バッファアンブAP3とを介してファックスモデム10のデータバスに出力される。また、DMAC20からの送信アドレスデータは、スイッチSW15の接点TX側と、スイッチSW11の接点DMA側とを介してファックスモデム10のアドレスバスに出力されるとともに、メモリコントローラ32で発生される各制御信号/CSMF、/IOWRF、/IORDFはそれぞれ、スイッチSW12、SW13、SW14の接点DMA側を介してファックスモデム10に出力される。

【0027】さらに、DMA転送の受信時においては、メモリコントローラ32は、スイッチSW11乃至SW14を接点DMA側に切り換えるとともに、スイッチSW1、SW2、SW5、SW6及びSW15をそれぞれ接点RX側に切り換える。このとき、ファックスモデム10からのデータは、バッファアンブAP4と、スイッチSW6の接点RX側と、スイッチSW1の接点RX側とを介してFIFOメモリ31に出力されて格納され、FIFOメモリ31から読み出されるデータは、スイ

チSW2の接点RX側と、スイッチSW5の接点RX側と、バッファアンブAP2とを介してCPU1のデータバスに出力される。また、DMAC20からの受信アドレスデータは、スイッチSW15の接点RX側と、スイッチSW11の接点DMA側とを介してファックスモデム10のアドレスバスに出力されるとともに、メモリコントローラ32で発生される各制御信号/CSMF、/IOWRF、/IORDFはそれぞれ、スイッチSW12、SW13、SW14の接点DMA側を介してファックスモデム10に出力される。

【0028】上述したように、従来例のファクシミリ装置において、ファックスモデム10からSDRAM9にDMA転送するとき、ファックスモデム10は、常に一定間隔（例えば、555マイクロ秒）でデータの転送を要求する場合がある。一方、DMAC20は、SDRAM9内でのメモリバンク切り換えなど再設定が必ずあり、それを行う時間が必要となる。そこで、本実施形態では、この時間を確保しながら、一定間隔でデータを送出するファックスモデム10からデータを取りこぼすことなく転送できるデータバッファ回路30を、ファックスモデム10とSDRAM9との間に挿入している。

【0029】次いで、図2を参照して、DMAC20によって制御されるSDRAM9とファックスモデム10との間で行われるデータ転送について説明する。SDRAM9とファックスモデム10との間でDMA転送を行う場合、ファックスモデム10からのデータ転送要求信号/IREQ1に応答して、DMAC20は、SDRAM9でデータを受けられる準備が出来た時点で、データ受信肯定応答信号/DACKのイネーブル信号をメモリコントローラ32に返信する。この状態でデータのDMA転送が開始される。

【0030】ファックスモデム10は、14.4kbpsの伝送速度に対応する時間間隔（555マイクロ秒）に1バイトのタイミングでデータ転送を行う。ファックスモデム10内にバッファメモリがないため、ファックスモデム10からのデータの出力を止めることができない。ここで、問題になるのがCPU1内のDMAC20であり、メモリバンク切替等の再起動のための割り込み処理を行う時間が必ず必要になることである。ファックスモデム10からのデータを555マイクロ秒毎に受信しなければ、データは上書きされ結果として通信エラーを引き起こすことになり、ここで、割り込み処理は通常1ミリ秒を要する。

【0031】そこで、本実施形態では、一時的にファックスモデム10から出力されるデータを蓄えておき、割り込み処理時間を確保できればデータが欠落することはない。以上の背景から、割り込み処理時間を確保しデータ欠落をなくすデータバッファ回路30を設けている。このデータバッファ回路30では、図2に示すように、SDRAM9と、ファックスモデム10との間にFIFO

メモリ31を核とした回路を設けている。そして、このデータバッファ回路30では、ファックスモデム10から一定間隔で転送されるデータをDMA転送してFIFOメモリ31に格納する。FIFOメモリ31に1バイトのデータが格納されたときに、メモリコントローラ32は、データ転送要求信号/MREQ信号をDMAC20に対して出力し、これに回答して、DMAC20からのデータ受信肯定応答信号/DACKに基づいて、FIFOメモリ31に格納されたデータを読み取ってSDRAM9にDMA転送する。

【0032】ここで、FIFOメモリ31は4バイトの記憶容量を有しているので、555マイクロ秒×4バイト=2.22ミリ秒(最大)までは、DMAC20のSDRAM9へのデータの書き込み処理に対してマージンを与えることができる。DMAC20の割込処理時間の1ミリ秒には十分の値を持つ。すなわち、ファックスモデム10からの画像データの転送要求又はファックスモデム10への画像データの転送要求の時間間隔(例えば、555マイクロ秒)に、FIFOメモリ31に格納されるバイト数(4バイト)を乗じた時間は、DMA転送に要する時間(例えば、1ミリ秒)より長く設定されている。

【0033】また、データの送信時には、ファックスモデム10からFIFOメモリ31にデータをDMA転送し、ファックスモデム10は、所定の時間間隔(例えば、555マイクロ秒)毎に、データ転送要求信号/IREQ1をメモリコントローラ32に出力し、これに回答して、メモリコントローラ32は、FIFOメモリ31からデータを1バイトずつ読み出して、SDRAM9にDMA転送する。

【0034】本実施形態において、ファックスモデム10からのデータのDMA転送と、DMAC20からのデータのDMA転送は非同期で動作するが、FIFOメモリ31内のデータの上書き、欠落、出力の順番が入れ替わるなどが無いようにメモリコントローラ32により制御される。また、ファックスモデム10に対して発生するチップセレクト信号/CSMF、入出力書込制御信号/IOWRF、及び入出力読出制御信号/IORDF信号などの制御信号は、ファックスモデム10の動作タイミングに合わせて発生され、ここで、汎用的に、チップセレクト信号/CSMF、入出力書込制御信号/IOWRF、及び入出力読出制御信号/IORDF信号などの制御信号の各信号幅を変更可能に調整できるようになっている。

【0035】本実施形態において、データのDMA転送は、ファックスモデム10からSDRAM9への受信方向と、SDRAM9からファックスモデム10への送信方向との双方向があるが、図2に示す1つのデータバッファ回路30で実現している。ここで、メモリコントローラ32は、これらの方向を制御する制御信号を用いて

スイッチSW1乃至SW6及びSW15を選択的に切り換えることにより送信方向と受信方向を選択的に切り換えることができる。これにより論理素子のゲート数を減らすことができ、当該回路構成を簡単にすることができ、回路コストを大幅に低減させている。また、DMA転送中において、通常のスレーブアクセスが出来るように、直接転送の通過(TH)モードを有しており、これにより、データバッファ回路30を介さずに、SDRAM9とファックスモデム10との間でデータ転送を行うことができる。

【0036】

【実施例】図3は、図1のモデム10からデータバッファ回路10を介してCPU1にデータを受信するときのデータバッファ回路30の受信時の動作を示すタイミングチャートである。

【0037】図3において、まず、時刻t1で、ファックスモデム10はデータ転送要求信号/IREQ1をアクティブローレベルにし、時刻t2で、メモリコントローラ32は、ファックスモデム10へのチップセレクト信号/CSMFをアクティブローレベルにし、かつ入出力読出制御信号/IORDFをアクティブローレベルにして、FIFOメモリ31に最初の1バイトのデータ"11"を書き込む。次いで、時刻t3で、メモリコントローラ32は、DMAC20へのデータ転送要求信号/MREQをアクティブローレベルにする。これに回答して、DMAC20からのデータ受信肯定応答信号/DACKがアクティブローレベルになると、メモリコントローラ32からの入出力読出制御信号がアクティブローレベルになり、FIFOメモリ31から最初の1バイトのデータ"11"がCPU1のデータバスに出力される。

【0038】次いで、時刻t4で、ファックスモデム10からのデータ転送要求信号/IREQ1が再びアクティブローレベルになると、上記の動作が繰り返され、FIFOメモリ31に2バイト目のデータ"33"が書き込まれた後、読み出されてSDRAM9にDMA転送される。そして、時刻t5で、3回目にデータ転送要求信号/IREQ1がアクティブローレベルになったことにより、メモリコントローラ32からのデータ転送要求信号/MREQがアクティブローレベルになるが、このとき、DMAC20からのデータ受信肯定応答信号/DACKがアクティブローレベルにならないため、このときは、FIFOメモリ31に対する次のデータ"55"の書き込みのみが行われる。

【0039】さらに、時刻t6で、4回目にデータ転送要求信号/IREQ1がアクティブローになったときにも、まだ、DMAC20からのデータ転送要求信号/MREQがアクティブローレベルのままで、データ受信肯定応答信号/DACKがアクティブローレベルになっていないので、FIFOメモリ31に対する次のデータ"88"の書き込みが行われる。その後、時刻t7で、D

10

20

30

40

50

11

MAC 20からのデータ受信肯定応答信号/DACKがアクティブローレベルになったときに、入出力読出制御信号/IORがアクティブローレベルにされ、FIFOメモリ31からデータ"55"が読み出されてSDRAM9に対してDMA転送される。そして、以下同様にして処理が続く。

【0040】図4は、図1のCPU1からデータバッファ回路30を介してモデム10にデータを送信するときのデータバッファ回路30の送信時の動作を示すタイミングチャートであり、これは、メモリコントローラ32

からのデータ転送要求信号/MREQのエッジで検知する仕様に基いた処理である。

【0041】図4において、まず、時刻t11において、ファックスモデム10は、送信すべきデータを要求するためにデータ転送要求信号/IREQ1をアクティブローレベルにし、これにตอบสนองして、メモリコントローラ32は、時刻t12でデータ転送要求信号/MREQをアクティブローレベルにし、DMAC20からのデータ受信肯定応答信号/DACKがアクティブローレベルになる。また、DMAC20は、入出力書込制御信号/IOWをアクティブローレベルにして最初の1バイトのデータ"11"をFIFOメモリ31に書き込む。そして、時刻t13で、データ転送要求信号/IREQ1がアクティブローレベルのままなので、さらに、時刻t14で、メモリコントローラ32は、DMAC20へのデータ転送要求信号/MREQを再びアクティブローレベルにし、これにตอบสนองして、DMAC20もデータ受信肯定応答信号/DACK及び入出力読出制御信号/IOWをアクティブローレベルにして2バイト目のデータ"33"をFIFOメモリ31に書き込む。

【0042】次いで、時刻t15で、同様にして、3バイト目のデータ"55"をFIFOメモリ31に書き込み、時刻t16で、同様にして、4バイト目のデータ"88"をFIFOメモリ31に書き込む。この時刻t16で、メモリコントローラ32は、チップセレクト信号/CSMF及び入出力読出制御信号/IOWRFをアクティブローレベルにしてFIFOメモリ31に格納されているデータ"11"を、ファックスモデム10への送信データとして読み出し、ファックスモデム10に出力する。その後、データ転送要求信号/IREQ1はデアクティブハイレベルになる。

【0043】さらに、時刻t17で、5バイト目のデータ"AA"が時刻t12と同様にしてFIFOメモリ31に書き込まれ、時刻t18でデータ転送要求信号/IREQ1が再びアクティブローレベルに変化し、これにตอบสนองして、メモリコントローラ32は、チップセレクト信号/CSMF及び入出力書込制御信号/IOWRFをアクティブローレベルにして、FIFOメモリ31に格納されている2バイト目のデータ"33"を読み出してファックスモデム10に出力する。そして、時刻t19

12

で、メモリコントローラ32は、データ転送要求信号/MREQをアクティブローレベルにするが、この場合には、データ受信肯定応答信号/DACKがアクティブローレベルになっていないので、すぐにFIFOメモリ31へのデータの書き込みは行われない。

【0044】そして、時刻t20で、データ転送要求信号/IREQ1がアクティブローレベルになり3バイト目のデータ"55"がFIFOメモリ31から読み出されてファックスモデム10に出力される。さらに、時刻t21及びt22ではそれぞれ、時刻t20と同様にして、4バイト目のデータ"88"及び5バイト目のデータ"AA"がFIFOメモリ31から順次読み出され、ファックスモデム10に出力される。このとき、5バイト目のデータ"AA"を読み出したときに、FIFOメモリ31は空になる。また、データ転送要求信号/MREQは、時刻t19の時点から継続してアクティブローレベルのままにされている。さらに、時刻t23で、データ受信肯定応答信号/DACKがアクティブローレベルになり、時刻t12と同様にして6バイト目のデータ"BB"がFIFOメモリ31に書き込まれる。そして、以下同様にして処理が続く。

【0045】図5は、図1のCPU1からデータバッファ回路30を介してモデム10にデータを送信するときのデータバッファ回路30の変形例に係る送信時の動作を示すタイミングチャートであり、これは、メモリコントローラ32からのデータ転送要求信号/MREQの所定のレベルで検知する仕様に基いた処理である。

【0046】図5において、まず、時刻t31でファックスモデム10は、データ転送要求信号/IREQ1をアクティブローレベルにし、これにตอบสนองして、メモリコントローラ32はデータ転送要求信号/MREQをアクティブローレベルにする。次いで、時刻t32で、DMAC20は、データ転送要求信号/MREQがアクティブローレベルにあるのを確認して、データ受信肯定応答信号/DACKをアクティブローレベルにしかつ入出力書込制御信号/IOWをアクティブローレベルにして、1バイト目のデータ"11"をFIFOメモリ31に書き込む。さらに、時刻t33で、データ転送要求信号/MREQがアクティブローレベルであるので、DMAC20は、時刻t32以降のSDRAM9からのデータをFIFOメモリ31に書き込む処理をFIFOメモリ31が一杯になるまで続ける。すなわち、2バイト目のデータ"33"と、3バイト目のデータ"55"と、4バイト目のデータ"88"とを順次FIFOメモリ31に書き込む。その後、メモリコントローラ32はデータ転送要求信号/MREQをデアクティブローレベルにする。

【0047】次いで、時刻t34で、メモリコントローラ32は、チップセレクト信号/CSMF及び入出力書込制御信号/IOWRFをそれぞれアクティブローレベルにし、1バイト目のデータ"11"をFIFOメモリ

10

20

30

40

50

31より読み出してファックスモデム10に出力する。このとき、時刻t35で、FIFOメモリ31に空き領域ができたので、メモリコントローラ32はデータ転送要求信号/MREQをアクティブローレベルにする。但し、この場合には、直ちに、DMAC20からのデータ受信肯定応答信号/DACKがアクティブローレベルにならないので、FIFOメモリ31への新しいデータの書き込みは行われない。

【0048】さらに、時刻t36で、データ受信肯定応答信号/DACKがアクティブローレベルになると、5バイト目のデータ"AA"をFIFOメモリ31に書き込む。そして、時刻t37で、データ転送要求信号/IREQ1がアクティブローレベルになると、メモリコントローラ32は、チップセレクト信号/CSMF及び入出力読出制御信号/IOWRFをそれぞれアクティブローレベルにして、FIFOメモリ31から2バイト目のデータ"33"を読み出してファックスモデム10に出力する。

【0049】そして、時刻t38で、FIFOメモリ31に空き領域ができたので、メモリコントローラ32はデータ転送要求信号/MREQをアクティブローレベルにする。さらに、時刻t39、時刻t40、時刻t41では、時刻t37と同様にして、FIFOメモリ31から、3バイト目のデータ"55"と、4バイト目のデータ"88"と、5バイト目のデータ"AA"が順次FIFOメモリ31から読み出される。次いで、時刻t42で、データ転送要求信号/MREQのローレベルの状態に反応して、DMAC20は、データ受信肯定応答信号/DACKをアクティブローレベルとし、かつ入出力書込制御信号/IOWをアクティブローレベルにして、6バイト目のデータ"BB"がFIFOメモリ31に書き込まれる。そして、以下同様にして処理が続く。

【0050】以上説明したように、本実施形態によれば、データ処理回路30は4バイトの記憶容量を有するFIFOメモリ31を備え、メモリコントローラ32は、スイッチSW1乃至SW6を接点RX（受信）側に切り換えて、ファックスモデム10からFIFOメモリ31に格納された複数バイトの画像データを、CPU1内のDMAC20によって転送制御されるSDRAM9にDMA転送する一方、スイッチSW1乃至SW6を接点TX（送信）側に切り換えて、SDRAM9からDMA転送された画像データを、1バイト毎にファックスモデム10に転送するように制御する。従って、データが欠落することによるシステムのエラーを防止することができ、入出力回路がモデムの場合には、通信エラー、復号エラーを防止することができる。

【0051】また、入出力回路であるファックスモデム10からホスト制御回路側のSDRAM9へのデータの転送、SDRAM9からファックスモデム10へのデータの転送のいずれについても、図2の1つのデータバッ

ファ回路30でDMA転送を可能にしている。従って、データバッファ回路30は簡単な構成を有し、安価に製造することができる。

【0052】さらに、このデータ処理回路30においては、メモリコントローラ32は、スイッチSW1乃至SW6を接点TH（直接転送の通過）側に切り換えて、ファックスモデム10と、SDRAM9とをFIFOメモリ31を介さずに直接に接続してファックスモデム10とSDRAM9との間でデータを直接転送するように制御する。すなわち、通常のステータスアクセス時の直接転送の経路も形成できるので、DMA転送以外の直接転送を可能にし、データバッファ回路30を用いて簡単な構成で問題なく形成できる。

【0053】また、メモリコントローラ32は、スイッチSW11乃至SW14を接点DMA（DMA転送）側と接点TH（直接転送の通過）側とに選択的に切り換えて、ファックスモデム10とCPU1との間の制御信号を伝送するための信号線（ファックスモデム10におけるアドレスバスA0-A4、/CSMDM、/IOWMDM、/IORMDM等）を、DMA転送と直接転送とで選択的に切り換える。すなわち、データバッファ回路30は、制御信号の信号線も切り換えることができ、DMA転送以外のステータスアクセスの直接転送を可能にし、データバッファ回路30を用いて簡単な構成で問題なく形成できる。

【0054】＜変形例＞以上の実施形態においては、ファクシミリ装置100の例について述べているが、本発明はこれに限らず、公衆電話網又は公衆デジタル回線網などの公衆網に接続された、例えば電話機、データ通信装置などを含む通信端末装置や、パーソナルコンピュータなどの制御装置に適用することができる。

【0055】以上の実施形態においては、入出力回路としてバッファメモリを有しないファックスモデム10を例示しているが、本発明はこれに限らず、例えばCCDカメラ、ビデオカメラ、ルータ装置、ターミナルアダプタなどの、バッファメモリを有しない入出力回路に広く適用することができる。

【0056】以上の実施形態においては、4バイトのFIFOメモリ31を用いているが、本発明はこれに限らず、バッファメモリであるFIFOメモリ31の記憶容量は、ファックスモデム10からの画像データの転送要求又はファックスモデム10への画像データの転送要求の時間間隔（例えば、555マイクロ秒）に、FIFOメモリ31の記憶容量のバイト数を乗じた時間が、SDRAM9のDMA転送に要する時間（例えば、1ミリ秒）より長くなるように設定されればよい。

【0057】

【発明の効果】以上詳述したように本発明に係るデータ処理回路によれば、入出力回路とホスト制御回路のデータメモリとの間に設けられ、複数の単位のデータを格納

するバッファメモリと、入出力回路からバッファメモリに格納された複数の単位のデータをデータメモリにDMA転送する一方、データメモリからDMA転送されたデータを、単位毎に入出力回路に転送するように制御する制御手段とを備える。従って、データが欠落することによるシステムのエラーを防止することができ、入出力回路がモデムの場合には、通信エラー、復号エラーを防止することができる。

【図面の簡単な説明】

【図1】 本発明に係る一実施形態であるファクシミリ装置100の構成を示すブロック図である。

【図2】 図1のデータバッファ回路30の内部構成を示す回路図である。

【図3】 図1のモデム10からデータバッファ回路10を介してCPU1にデータを受信するときのデータバッファ回路30の受信時の動作を示すタイミングチャートである。

【図4】 図1のCPU1からデータバッファ回路30を介してモデム10にデータを送信するときのデータバッファ回路30の送信時の動作を示すタイミングチャート

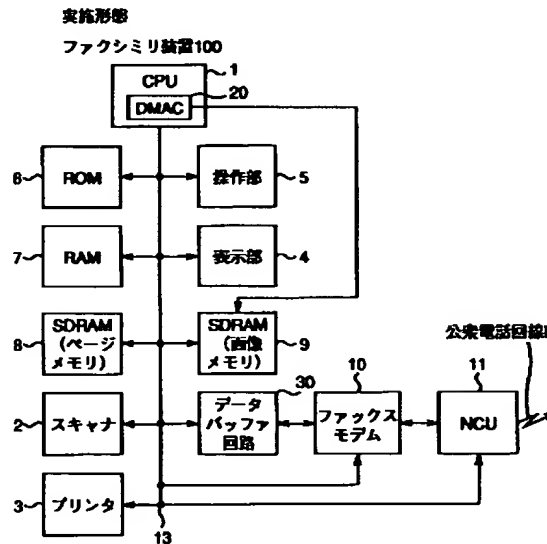
トである。

【図5】 図1のCPU1からデータバッファ回路30を介してモデム10にデータを送信するときのデータバッファ回路30の変形例に係る送信時の動作を示すタイミングチャートである。

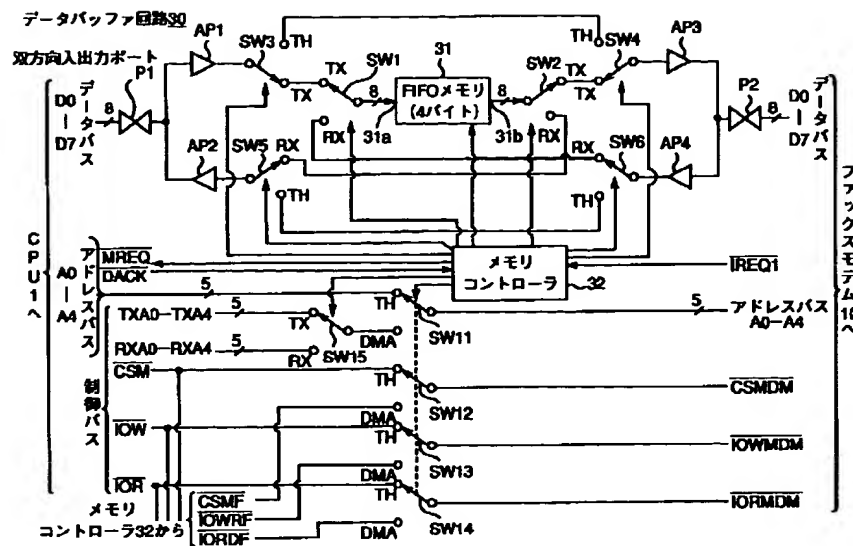
【符号の説明】

1…CPU、
9…SDRAM（画像メモリ）、
10…ファックスモデム、
13…バス、
20…ダイレクト・メモリ・アクセス・コントローラ（DMAC）、
30…データバッファ回路、
31…FIFOメモリ、
32…メモリコントローラ、
100…ファクシミリ装置、
AP1乃至AP4…バッファアンプ、
P1、P2…双方向入出力ポート、
SW1乃至SW6、SW11乃至SW15…スイッチ。

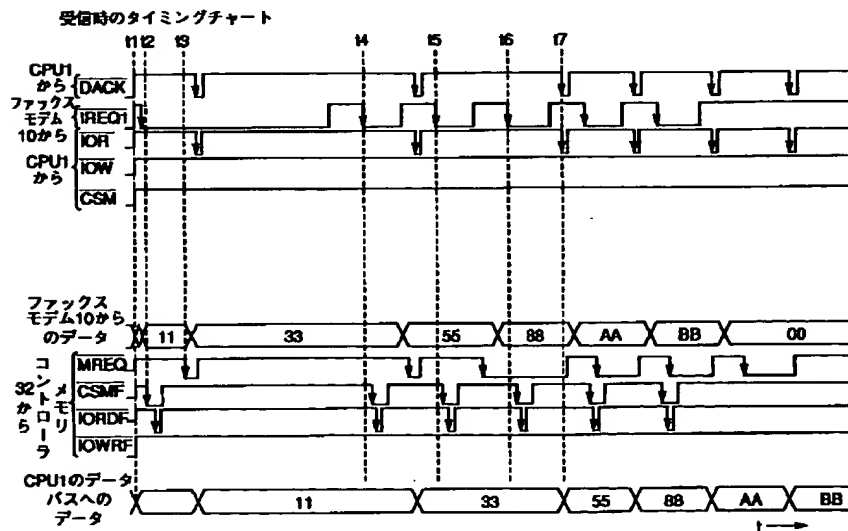
【図1】



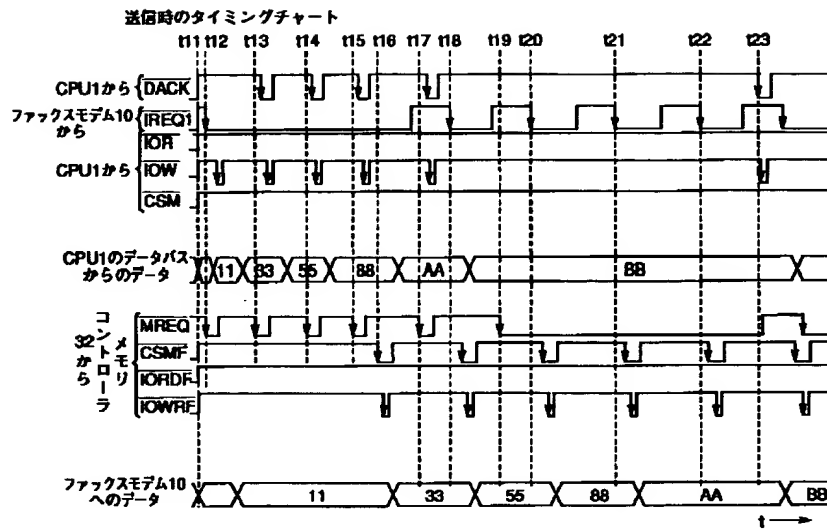
【図2】



【図3】



【図4】



【図5】

